

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 06268496 A

(43) Date of publication of application: 22.09.94

(51) Int. Cl

H03K 17/62

(21) Application number: 05052455

(71) Applicant: SONY CORP

(22) Date of filing: 12.03.93

(72) Inventor: YAMAMOTO TETSUO  
SAIJO KAZUYUKI

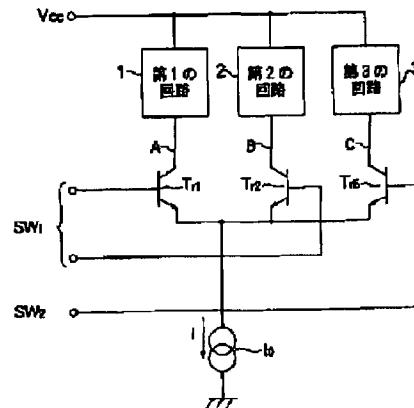
(54) CURRENT SWITCHING CIRCUIT

COPYRIGHT: (C)1994,JPO&amp;Japio

(57) Abstract:

PURPOSE: To provide a current switching circuit usable even at a low power supply voltage.

CONSTITUTION: This current switching circuit for switching the supply destination of a current I among a first circuit 1, a second circuit 2 and a third circuit 3 is provided with first and second transistors TR<sub>1</sub> and TR<sub>2</sub> for which emitters are mutually connected and the connection intermediate point of the mutual emitters is connected to a current source I<sub>0</sub> and a third transistor TR<sub>3</sub> for which the emitter is connected to the connection intermediate point of the emitters of the first and second transistors TR<sub>1</sub> and TR<sub>2</sub>. The collector of the first transistor TR<sub>1</sub> is connected to the first circuit 1, the collector of the second transistor TR<sub>2</sub> is connected to the second circuit 2 and the collector of the third transistor TR<sub>3</sub> is connected to the third circuit 3. Also, the ratio of the emitter area of the first and second transistors TR<sub>1</sub> and TR<sub>2</sub> and the emitter area of the third transistor TR<sub>3</sub> is set at 1 to (n) ( $n > 1$ ).



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-268496

(43)公開日 平成6年(1994)9月22日

(51) Int.Cl.<sup>5</sup>

識別記号 庁内整理番号  
C 9184-5 J

F 11

技術表示箇所

審査請求 未請求 請求項の数 4 O.L. (全 10 頁)

(21)出願番号 特願平5-52455  
(22)出願日 平成5年(1993)3月12日

(71)出願人 000002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号

(72)発明者 山本 哲生  
東京都品川区北品川6丁目7番35号 ソニ  
一株式会社内

(72)発明者 西城 和幸  
東京都品川区北品川6丁目7番35号 ソニ  
一株式会社内

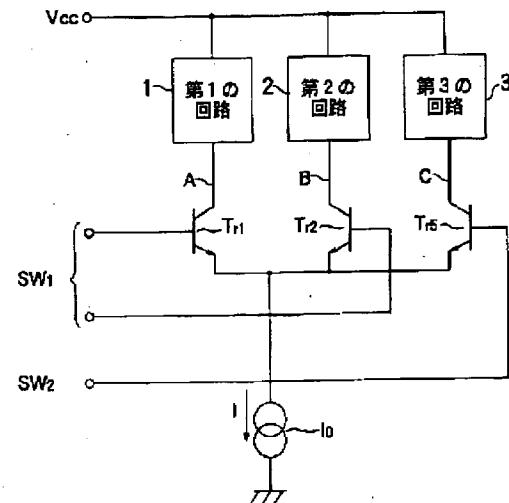
(74)代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 電流切替回路

(57) 【要約】

【目的】低電源電圧においても使用可能な電流切替回路を実現する。

【構成】電流  $I$  の供給先を第1の回路1、第2の回路2および第3の回路3間で切り替える電流切替回路において、エミッタ同士が接続され、これらエミッタ同士の接続中点が電流源  $I_0$  に接続された第1および第2のトランジスタ  $T_{r1}, T_{r2}$  と、エミッタが第1および第2のトランジスタ  $T_{r1}, T_{r2}$  のエミッタ同士の接続中点に接続された第3のトランジスタ  $T_{r3}$  を設け、第1のトランジスタ  $T_{r1}$  のコレクタを第1の回路1に接続し、第2のトランジスタ  $T_{r2}$  のコレクタを第2の回路2に接続し、第3のトランジスタ  $T_{r3}$  のコレクタを第3の回路3に接続し、かつ、第1および第2のトランジスタ  $T_{r1}, T_{r2}$  のエミッタ面積と第3のトランジスタ  $T_{r3}$  のエミッタ面積との比を1対  $n$  ( $n > 1$ ) に設定する。



(2)

特開平6-268496

1

2

## 【特許請求の範囲】

【請求項1】 電流の供給先を第1の回路、第2の回路および第3の回路間で切り替える電流切替回路であって、

エミッタ同士が接続され、これらエミッタ同士の接続中点が電流源に接続された第1および第2のトランジスタと、

エミッタが上記第1および第2のトランジスタのエミッタ同士の接続中点に接続された第3のトランジスタとを有し、

上記第1のトランジスタのコレクタが第1の回路に接続され、上記第2のトランジスタのコレクタが第2の回路に接続され、上記第3のトランジスタのコレクタが第3の回路に接続されたことを特徴とする電流切替回路。

【請求項2】 上記第1および第2のトランジスタのベースがハイレベルとローレベルを相補的にとる第1の切替信号の入力ラインにそれぞれ接続され、上記第3のトランジスタのベースがハイレベルとローレベルの2値をとる第2の切替信号の入力ラインに接続され、

上記第2の切替信号のハイレベルの値は上記第1の切替信号のハイレベル以上の値に設定され、第2の切替信号のローレベルの値は上記第1の切替信号のハイレベルより低い値に設定されている請求項1記載の電流切替回路。

【請求項3】 上記第1および第2のトランジスタのうち少なくとも一方のトランジスタのエミッタ面積と上記第3のトランジスタのエミッタ面積との比が1対2に設定された請求項1または請求項2記載の電流切替回路。

【請求項4】 上記第1、第2および第3の回路はエミッタ同士が接続され、コレクタが電源電圧に接続された2つのトランジスタをそれぞれ有し、

各回路の2つのトランジスタのエミッタ同士の接続中点が上記第1、第2および第3のトランジスタのコレクタにそれぞれ接続され、

第1の回路および第2の回路のうちいずれか一方の回路において、一方のトランジスタのコレクタと他方のトランジスタのベース同士が互いに接続されている請求項1、2または3記載の電流切替回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、電流の供給先を複数の回路間で切り替える電流切替回路に係り、特に、フリップフロップなどのバイポーラディジタル集積回路などに適用される電流切替回路に関するものである。

## 【0002】

【従来の技術】 図5は、従来の電流切替回路の一例を示す構成図である。図5において、1は第1の回路、2は第2の回路、3は第3の回路、V<sub>cc</sub>は電源電圧、T<sub>11</sub>～T<sub>14</sub>はn-p-n形トランジスタ、I<sub>0</sub>は定電流源をそれぞれ示している。

【0003】 電流切替回路は、トランジスタT<sub>11</sub>およびT<sub>12</sub>のエミッタ同士が接続され、トランジスタT<sub>13</sub>およびT<sub>14</sub>のエミッタ同士が接続され、第1のトランジスタ差動対のエミッタ同士の接続中点がトランジスタT<sub>15</sub>のコレクタに接続され、かつ、第2のトランジスタ差動対のエミッタ同士の接続中点が定電流源I<sub>0</sub>に接続されて構成されている。

【0004】 そして、第1のトランジスタ差動対のトランジスタT<sub>11</sub>のコレクタが第1の回路1に接続され、トランジスタT<sub>12</sub>のコレクタが第2の回路2に接続され、第2のトランジスタ差動対のトランジスタT<sub>14</sub>のコレクタが第3の回路3に接続されており、相補的信号である切替信号s<sub>w1</sub>をトランジスタT<sub>11</sub>およびT<sub>12</sub>のベースに入力させ、切替信号s<sub>w2</sub>をトランジスタT<sub>13</sub>およびT<sub>14</sub>のベースに入力させ、これら切替信号s<sub>w1</sub>およびs<sub>w2</sub>の各ベースへの入力レベルに応じて、定電流源I<sub>0</sub>による電流Iが供給先が第1～第3の回路1～3のいずれかに切り替えられる。

【0005】 図6は、図5の回路に対する切替信号s<sub>w1</sub>、s<sub>w2</sub>の入力レベルなどを示す図である。図6に示すように、切替信号s<sub>w1</sub>はハイレベルs<sub>w1H</sub>とローレベルs<sub>w1L</sub>の2値をとる。同様に、切替信号s<sub>w2</sub>はハイレベルs<sub>w2H</sub>とローレベルs<sub>w2L</sub>の2値をとり、これら4つのレベルは次の条件を満足している。

$$s_{w1H} > s_{w1L} > s_{w2H} > s_{w2L}$$

【0006】 このような構成において、たとえばトランジスタT<sub>11</sub>のベースに切替信号s<sub>w2</sub>がハイレベルs<sub>w2H</sub>で入力され、トランジスタT<sub>13</sub>のベースに切替信号s<sub>w1</sub>がローレベルs<sub>w1L</sub>で入力されると、トランジスタT<sub>11</sub>がオン状態となる。この場合、電流Iが第3の回路3に供給され、その結果、第3の回路3が作動状態となる。

【0007】 これに対して、トランジスタT<sub>13</sub>のベースに切替信号s<sub>w2</sub>がハイレベルs<sub>w2H</sub>で入力され、トランジスタT<sub>11</sub>のベースに切替信号s<sub>w1</sub>がローレベルs<sub>w1L</sub>で入力されると、トランジスタT<sub>13</sub>がオン状態となる。このとき、トランジスタT<sub>11</sub>のベースに切替信号s<sub>w1</sub>がハイレベルs<sub>w1H</sub>で入力され、トランジスタT<sub>12</sub>のベースに切替信号s<sub>w1</sub>がローレベルs<sub>w1L</sub>で入力されると、トランジスタT<sub>11</sub>がオン状態となる。この場合、電流Iが第1の回路1に供給され、その結果、第1の回路1が作動状態となる。

【0008】 一方、トランジスタT<sub>13</sub>がオン状態のときに、トランジスタT<sub>11</sub>のベースに切替信号s<sub>w1</sub>がハイレベルs<sub>w1H</sub>で入力され、トランジスタT<sub>11</sub>のベースに切替信号s<sub>w2</sub>がローレベルs<sub>w2L</sub>で入力されると、トランジスタT<sub>12</sub>がオン状態となる。この場合、電流Iが第2の回路2に供給され、その結果、第2の回路2が作動状態となる。

【0009】図7は、図8に示すような、いわゆるデータ設定機能付きT型フリップフロップを、図5の電流切替回路を適用し、バイポーラデジタル集積回路として構成した一例を示す回路図である。本回路は、プログラミングカウンタを構成する場合に使用される一般的なもので、図5の回路をa段(マスタ)およびb段(スレーブ)の2段構成としたものであり、その構成について以下に説明する。

【0010】本構成におけるa段およびb段の定電流源  $I_{0a}$ ,  $I_{0b}$  は、それぞれベースが電源  $V_{BB}$  に接続されたn p n形トランジスタ  $Q_{1a}$ ,  $Q_{1b}$  と、トランジスタ  $Q_{1a}$ ,  $Q_{1b}$  のエミッタと接地GND間に接続された抵抗素子  $R_{1a}$ ,  $R_{1b}$  とから構成され、トランジスタ  $Q_{1a}$  のコレクタがa段のトランジスタ  $T_{1a}$  のエミッタとトランジスタ  $T_{1b}$  のエミッタとの接続中点に接続され、トランジスタ  $Q_{1b}$  のコレクタがb段のトランジスタ  $T_{1b}$  のエミッタとトランジスタ  $T_{1a}$  のエミッタとの接続中点に接続されている。

【0011】a段およびb段における第1の回路1a, 1bは、エミッタ同士が接続されたn p n形トランジスタ  $Q_{2a}$ ,  $Q_{2b}$  および  $Q_{3a}$ ,  $Q_{3b}$  の差動対から構成され、これらのエミッタ同士の接続中点はそれぞれトランジスタ  $T_{1a}$ ,  $T_{1b}$  のコレクタに接続されている。また、a段のトランジスタ  $Q_{2a}$  のベースとb段のトランジスタ  $Q_{2b}$  のコレクタとが接続され、a段のトランジスタ  $Q_{3a}$  のベースとb段のトランジスタ  $Q_{3b}$  のコレクタとが接続されている。

【0012】第2の回路2a, 2bは、エミッタ同士が接続され、コレクタが抵抗素子  $R_{2a}$ ,  $R_{2b}$  および  $R_{3a}$ ,  $R_{3b}$  を介して電源電圧  $V_{CC}$  に接続され、さらに互いのコレクタとベース同士が接続されたn p n形トランジスタ  $Q_{4a}$ ,  $Q_{4b}$  および  $Q_{5a}$ ,  $Q_{5b}$  の差動対から構成され、これらのエミッタ同士の接続中点はトランジスタ  $T_{2a}$ ,  $T_{2b}$  のコレクタにそれぞれ接続されている。

【0013】第3の回路3a, 3bは、エミッタ同士が接続されたn p n形トランジスタ  $Q_{6a}$ ,  $Q_{6b}$  および  $Q_{7a}$ ,  $Q_{7b}$  の差動対から構成され、これらのエミッタ同士の接続中点はトランジスタ  $T_{3a}$ ,  $T_{3b}$  のコレクタにそれぞれ接続されている。また、a段のトランジスタ  $Q_{6a}$  のコレクタはa段の第1および第2の回路1a, 2aのトランジスタ  $Q_{1a}$ ,  $Q_{3a}$  のコレクタに接続されるとともに、b段の第1の回路1bのトランジスタ  $Q_{1b}$  のベースに接続されている。さらに、a段のトランジスタ  $Q_{6a}$  のコレクタはa段の第1および第2の回路1a, 2aのトランジスタ  $Q_{2a}$ ,  $Q_{4a}$  のコレクタに接続されるとともに、b段の第1の回路1bのトランジスタ  $Q_{2b}$  のベースに接続されている。一方、b段のトランジスタ  $Q_{6b}$  のコレクタは同じくb段の第1および第2の回路1b, 2bのトランジスタ  $Q_{1b}$ ,  $Q_{3b}$  のコレクタに接続され、トランジスタ  $Q_{6b}$  のコレクタは同じくb段の第1 50  $Q_{1b}$  が用いられるとともに、第1～第3の回路1a～3

および第2の回路1b, 2bのトランジスタ  $Q_{2b}$ ,  $Q_{4b}$  のコレクタに接続されている。

【0014】このような構成においては、信号Dがa段およびb段の第3の回路3a, 3bのトランジスタ  $Q_{5a}$ ,  $Q_{5b}$  のベースに入力され、信号Dと相補的レベルをとる信号XDがトランジスタ  $Q_{6a}$ ,  $Q_{6b}$  のベースに入力される。また、クロック信号CKが第1の切替信号  $s_w1$  としてa段のトランジスタ  $T_{1a}$  のベースおよびb段のトランジスタ  $T_{1b}$  のベースに入力されるとともに、クロック信号CKと相補的レベルをとる信号XCKが第1の切替信号  $s_w1$  としてa段のトランジスタ  $T_{1a}$  のベースおよびb段のトランジスタ  $T_{1b}$  のベースに入力される。さらに、セット信号Sが第2の切替信号  $s_w2$  としてa段のトランジスタ  $T_{1a}$  のベースおよびb段のトランジスタ  $T_{1b}$  のベースに入力されるとともに、クロック信号Sと相補的レベルをとるセット信号XSが第2の切替信号  $s_w2$  としてa段のトランジスタ  $T_{1a}$  のベースおよびb段のトランジスタ  $T_{1b}$  のベースに入力される。そして、b段の第1～第3の回路1b～3bを構成する各トランジスタ  $Q_{1b}$ ～ $Q_{5b}$  のコレクタから本フリップフロップの出力信号Q, XQが出力される。

【0015】たとえば、第2の切替信号としてのセット信号Sがハイレベルでa段およびb段のトランジスタ  $T_{1a}$ ,  $T_{1b}$  のベースに入力された場合には、電流  $I_{1a}$ ,  $I_{1b}$  が第3の回路3a, 3bに供給され、両回路3a, 3bが作動状態となる。これにより、入力信号D, XDはそのまま本回路から出力される。

【0016】これに対して、セット信号Sがローレベルでトランジスタ  $T_{1a}$ ,  $T_{1b}$  のベースに入力され、これと相補的レベルをとるセット信号XSがハイレベルでトランジスタ  $T_{1a}$ ,  $T_{1b}$  のベースに入力され、この状態で、第1の切替信号としてのクロック信号CK, XCKがハイレベルまたはローレベルでトランジスタ  $T_{1a}$ ,  $T_{1b}$  および  $T_{2a}$ ,  $T_{2b}$  のベースに入力されると、電流  $I_{1a}$ ,  $I_{1b}$  が第1の回路1a, 1bまたは第2の回路2a, 2bに供給され、回路1a, 1bまたは2a, 2bが作動状態となる。この場合は、クロック信号CK, XCKの入力レベルに応じて出力信号Q, XQのレベルが反転するT型フリップフロップとして機能する。

【0017】

【発明が解決しようとする課題】ところで、上述した従来の回路では、第1のトランジスタ差動対のトランジスタ  $T_{1a}$ ,  $T_{1b}$  と第2のトランジスタ差動対のトランジスタ  $T_{2a}$ ,  $T_{2b}$  とが縦列に接続されているため、これらトランジスタ  $T_{1a}$ ,  $T_{1b}$  とトランジスタ  $T_{2a}$ ,  $T_{2b}$  の順方向電圧  $V_{DS}$  の影響を受ける。実際に回路を構成する場合には、図7に示すように、定電流源  $I_{0a}$ ,  $I_{0b}$  にトランジスタ  $Q_{1a}$ ,  $Q_{1b}$  が用いられるとともに、第1～第3の回路1a～3

a, 1b～3bもトランジスタ  $Q_{11} \sim Q_{51}$ ,  $Q_{1b} \sim Q_{5b}$  で構成されることから、これらトランジスタの順方向電圧  $V_T$  の影響を受け、特に第1の回路1および第2の回路2を作動させるためには、電源電圧  $V_{cc}$  は  $4V_T$  より大きな値であることを要求され、使用できる電圧範囲が狭いという問題がある。

【0018】ここで、トランジスタの  $V_T$  を  $0.7V$  であるとした場合、図7の回路を良好に作動させるためには、電源電圧  $V_{cc}$  の値は以下の条件を満足する必要がある。

$$V_{cc} > 2.8V (=0.7 \times 4)$$

これでは、近年、特に高まっている、 $2.7V$  近傍という低電源電圧化の要求には応じることができない。

【0019】本発明は、かかる事情に鑑みてなされたものであり、その目的は、低電源電圧においても使用可能な電流切替回路を提供することにある。

#### 【0020】

【課題を解決するための手段】上記目的を達成するため、本発明では、電流の供給先を第1の回路、第2の回路および第3の回路間で切り替える電流切替回路であって、エミッタ同士が接続され、これらエミッタ同士の接続中点が電流源に接続された第1および第2のトランジスタと、エミッタが上記第1および第2のトランジスタのエミッタ同士の接続中点に接続された第3のトランジスタとを有し、上記第1のトランジスタのコレクタが第1の回路に接続され、上記第2のトランジスタのコレクタが第2の回路に接続され、上記第3のトランジスタのコレクタが第3の回路に接続されている。

【0021】本発明では、上記第1および第2のトランジスタのベースがハイレベルとローレベルを相補的にとる第1の切替信号の入力ラインにそれぞれ接続され、上記第3のトランジスタのベースがハイレベルとローレベルの2値をとる第2の切替信号の入力ラインに接続され、上記第2の切替信号のハイレベルの値は上記第1の切替信号のハイレベル以上の値に設定され、第2の切替信号のローレベルの値は上記第1の切替信号のハイレベルより低い値に設定されている。

【0022】本発明では、上記第1および第2のトランジスタのうち少なくとも一方のトランジスタのエミッタ面積と上記第3のトランジスタのエミッタ面積との比が1対nに設定された。

【0023】本発明では、上記第1、第2および第3の回路はエミッタ同士が接続され、コレクタが電源電圧に接続された2つのトランジスタをそれぞれ有し、各回路の2つのトランジスタのエミッタ同士の接続中点が上記第1、第2および第3のトランジスタのコレクタにそれぞれ接続され、第1の回路および第2の回路のうちいずれか一方の回路において、一方のトランジスタのコレクタと他方のトランジスタのベース同士が互いに接続されている。

#### 【0024】

【作用】本発明によれば、第1～第3のトランジスタのベースに切替信号が入力され、これら切替信号の入力レベルに応じて、電流源による電流の供給先が第1～第3の回路間で任意に切り替えられる。この場合、第1～第3のトランジスタが並列に接続されていることから、第1～第3の回路および電流源がトランジスタで構成されたとしても、電源電圧の値は  $3V_T$  より大きい値であれば、各回路は作動する。

【0025】本発明によれば、第1および第2のトランジスタのベースには、ハイレベルとローレベルとを相補的にとる第1の切替信号が入力され、第3のトランジスタのベースには、ハイレベルとローレベルの2値をとる第2の切替信号が入力される。

【0026】また、本発明によれば、第1および第2のトランジスタのうち少なくとも一方のトランジスタのエミッタ面積と第3のトランジスタのエミッタ面積との比が1対n ( $n > 1$ ) に設定されていることから、たとえば、エミッタ面積が小さく設定された第1のトランジスタのベースに第1の切替信号がハイレベルで入力され、第3のトランジスタのベースに第2の切替信号がハイレベルで入力された場合、電流源  $I_0$  による電流  $I$  のうち  $\{I / (1+n)\}$  だけ第1の回路に流れ、 $\{(n-1) / (1+n)\}$  だけ第3の回路に流れようになる。したがって、ここで、nの値がある程度大きな値、たとえば「4」であれば、第2の切替信号がハイレベルのときに、電流  $I$  の供給先を第1または第2の回路から第3の回路に切り替えられる。その結果、第3の回路が作動状態となる。

【0027】本発明によれば、たとえば第1の回路または第2の回路を構成するトランジスタ差動対のベース、並びに第3の回路を構成するトランジスタ差動対のベースに対して、外部から所定レベルの信号を入力させることにより、D型フリップフロップとして機能する。

#### 【0028】

【実施例】図1は、本発明に係る電流切替回路の一実施例を示す構成図であって、従来例を示す図5と同一構成部分は同一を符号をもって表す。すなわち、1は第1の回路、2は第2の回路、3は第3の回路、 $V_{cc}$  は電源電圧、 $T_{11}$  は第1のトランジスタ、 $T_{12}$  は第2のトランジスタ、 $T_{13}$  は第3のトランジスタ、 $I_0$  は定電流源、 $S_{W1}$  は第1の切替信号、 $S_{W2}$  は第2の切替信号をそれぞれ示している。

【0029】第1のトランジスタ  $T_{11}$  のエミッタと第2のトランジスタ  $T_{12}$  のエミッタとが接続されてトランジスタ差動対が構成されている。第1のトランジスタ  $T_{11}$  のコレクタは第1の回路1の電流入力ラインに接続され、第2のトランジスタ  $T_{12}$  のコレクタは第2の回路2の電流入力ラインに接続されている。第3のトランジスタ  $T_{13}$  のエミッタはトランジスタ  $T_{11}$  および  $T_{12}$  のエミ

ッタ同士の接続中点に接続され、コレクタは第3の回路3の電流入力ラインに接続されている。また、トランジスタT<sub>r1</sub>およびT<sub>r2</sub>のエミッタ同士の接続中点に定電流源I<sub>0</sub>が接続されている。

【0030】さらに、第1のトランジスタT<sub>r1</sub>のエミッタ面積と第2のトランジスタT<sub>r2</sub>のエミッタ面積との比は1対1に設定されており、第3のトランジスタT<sub>r3</sub>のエミッタ面積は、これら第1および第2のトランジスタT<sub>r1</sub>、T<sub>r2</sub>のエミッタ面積に対してn対1（但し、n>1）に設定されている。

【0031】本回路は、相補的な第1の切替信号SW<sub>1</sub>をトランジスタ差動対の第1および第2のトランジスタT<sub>r1</sub>、T<sub>r2</sub>のベースに入力させ、その入力レベルに応じて定電流源I<sub>0</sub>による電流Iの供給先を第1の回路1または第2の回路2に切り替え、第2の切替信号SW<sub>2</sub>を第3のトランジスタT<sub>r3</sub>のベースに入力させ、その入力レベルに応じて電流Iの第3の回路3への供給状態および非供給状態を切り替えるように構成されている。

【0032】次に、第1の切替信号SW<sub>1</sub>および第2の切替信号SW<sub>2</sub>の入力レベルについて考察する。

【0033】第1～第3の回路1～3が動作するためには、電流Iを流すと同時に、電源電圧V<sub>cc</sub>と第1～第3の回路1～3の各入力側A、B、Cとの間に、ある電位差が現れるように構成する必要がある。そこで、第1および第2の切替信号SW<sub>1</sub>、SW<sub>2</sub>のハイレベルSW<sub>1H</sub>、SW<sub>2H</sub>は可能な限り低い方が望ましい。ただし、定電流源I<sub>0</sub>が正常に動作する範囲である必要がある。第1および第2の切替信号SW<sub>1</sub>、SW<sub>2</sub>のローレベルSW<sub>1L</sub>、SW<sub>2L</sub>は、ハイレベルSW<sub>1H</sub>、SW<sub>2H</sub>に対してトランジスタがスイッチングできるだけ低ければ良く、大きな制約はない。

【0034】本実施例では、たとえば、第1～第3の回路1～3が同程度の電源電圧V<sub>cc</sub>～A点またはB点またはC点間電位差を必要とする場合を考慮し、図2に示すように、第1の切替信号SW<sub>1</sub>のハイレベルSW<sub>1H</sub>と第2の切替信号SW<sub>2</sub>のハイレベルSW<sub>2H</sub>とが等しいレベル（電圧、たとえば2V）に設定され、ローレベルについては、第2の切替信号SW<sub>2</sub>のローレベルSW<sub>2L</sub>の電圧が、第1の切替信号SW<sub>1</sub>のローレベルSW<sub>1L</sub>の電圧（たとえば1.8V）に対して低い値（たとえば1.6V）に設定される。これにより、電流Iの供給先を第1～第3の回路1～3間で任意に切り替えられ、第1～第3の回路1～3を良好に動作させることができる。

【0035】次に、上記構成による動作を説明する。たとえば、第3のトランジスタT<sub>r3</sub>のベースに第2の切替信号SW<sub>2</sub>がローレベルSW<sub>2L</sub>で入力されたとき、第1の切替信号SW<sub>1</sub>が第1のトランジスタT<sub>r1</sub>のベースにハイレベルSW<sub>1H</sub>で入力され、第2のトランジスタT<sub>r2</sub>のベースにローレベルSW<sub>1L</sub>で入力されると、第1のトランジスタT<sub>r1</sub>がオン状態となる。この場合、電流Iが

50

第1の回路1に供給され、その結果、第1の回路1が作動状態となる。一方、第1の切替信号SW<sub>1</sub>が第1のトランジスタT<sub>r1</sub>のベースにローレベルSW<sub>1L</sub>で入力され、第2のトランジスタT<sub>r2</sub>のベースにハイレベルSW<sub>1H</sub>で入力されると、第2のトランジスタT<sub>r2</sub>がオン状態となる。この場合、電流Iが第2の回路2に供給され、その結果、第2の回路2が作動状態となる。

【0036】これに対して、第3のトランジスタT<sub>r3</sub>のベースに第2の切替信号SW<sub>2</sub>がハイレベルSW<sub>2H</sub>で入力されたとき、第1の切替信号SW<sub>1</sub>が第1のトランジスタT<sub>r1</sub>のベースにハイレベルSW<sub>1H</sub>で入力され、第2のトランジスタT<sub>r2</sub>のベースにローレベルSW<sub>1L</sub>で入力されると、第1のトランジスタT<sub>r1</sub>のベースと第3のトランジスタT<sub>r3</sub>のベースとが同電位となる。このとき、第1のトランジスタT<sub>r1</sub>のエミッタ面積と第3のトランジスタT<sub>r3</sub>のエミッタ面積との比は1対nに設定されているので、定電流源I<sub>0</sub>による電流Iのうち{I/(1+n)}だけ第1の回路1に流れ、{(n·I)/(1+n)}だけ第3の回路3に流れようになる。

【0037】同様に、第3のトランジスタT<sub>r3</sub>のベースに第2の切替信号SW<sub>2</sub>がハイレベルSW<sub>2H</sub>で入力されたとき、第1の切替信号SW<sub>1</sub>が第1のトランジスタT<sub>r1</sub>のベースにローレベルSW<sub>1L</sub>で入力され、第2のトランジスタT<sub>r2</sub>のベースにハイレベルSW<sub>1H</sub>で入力されると、第2のトランジスタT<sub>r2</sub>のベースと第3のトランジスタT<sub>r3</sub>のベースとが同電位となる。このとき、第2のトランジスタT<sub>r2</sub>のエミッタ面積と第3のトランジスタT<sub>r3</sub>のエミッタ面積との比は1対nに設定されているので、定電流源I<sub>0</sub>による電流Iのうち{I/(1+n)}だけ第2の回路2に流れ、{(n·I)/(1+n)}だけ第3の回路3に流れようになる。

【0038】ここで、nの値がある程度大きな値、たとえば「4」であれば、第2の切替信号SW<sub>2</sub>がハイレベルSW<sub>2H</sub>のときに、電流Iの供給先を第1または第2の回路1、2から第3の回路3に良好に切り替えられる。その結果、第3の回路3が作動状態となる。

【0039】以上説明したように、本実施例によれば、第1および第2のトランジスタT<sub>r1</sub>、T<sub>r2</sub>からなるトランジスタ差動対におけるエミッタ同士の接続中点に第3のトランジスタT<sub>r3</sub>のエミッタを接続して並列接続するとともに、第1および第2のトランジスタT<sub>r1</sub>、T<sub>r2</sub>のエミッタ面積と第3のトランジスタT<sub>r3</sub>のエミッタ面積との比を1対n(n>1)に設定したので、切替回路を構成するトランジスタが継続接続されることがない。したがって、定電流源I<sub>0</sub>から被電流供給回路である第1～第3の回路1～3に電流Iを供給する場合に、経由するトランジスタ数が最小で済むことから、トランジスタV<sub>1</sub>による影響を最小に抑えることができ、2.7Vなどの低電源電圧で作動する回路にも適用することができ

【0040】なお、第1の切替信号SW<sub>1</sub>および第2の切替信号SW<sub>2</sub>の入力レベルは、上述したように第1の切替信号SW<sub>1</sub>のハイレベルSW<sub>1a</sub>と第2の切替信号SW<sub>2</sub>のハイレベルSW<sub>2a</sub>とが等しいレベルに設定され、第2の切替信号SW<sub>2</sub>のローレベルSW<sub>2L</sub>の電圧が、第1の切替信号SW<sub>1</sub>のローレベルSW<sub>1L</sub>の電圧に対して低い値に設定されている必要は必ずしもなく、第2の切替信号SW<sub>2</sub>のハイレベルSW<sub>2E</sub>の値が第1の切替信号SW<sub>1</sub>のハイレベルSW<sub>1B</sub>以上の値に設定され、第2の切替信号SW<sub>2</sub>のローレベルSW<sub>2L</sub>の値が第1の切替信号SW<sub>1</sub>のハイレベルSW<sub>1E</sub>より低い値に設定されていれば良好な切り替え動作を実現できる。

【0041】図3は、図8に示すような、いわゆるデータ設定機能付きT型フリップフロップを、図1に示す本発明に係る電流切替回路を適用し、バイポーラデジタル集積回路として構成して一例を示す回路図である。

【0042】本回路は、プログラミングカウンタを構成する場合に使用される一般的なもので、図1の回路をa段(マスター)およびb段(スレーブ)の2段構成としたものであり、従来例を示す図7と同一構成部分は同一符号をもって表している。すなわち、1a, 1bは第1の回路、2a, 2bは第2の回路、3a, 3bは第3の回路、V<sub>cc</sub>は電源電圧、Q<sub>1a</sub>～Q<sub>6a</sub>、Q<sub>1b</sub>～Q<sub>6b</sub>は第1～第3の回路1a～3a, 1b～3bを構成するn-p-n形トランジスタ、R<sub>1a</sub>, R<sub>2a</sub>, R<sub>1b</sub>, R<sub>2b</sub>は抵抗素子、T<sub>11a</sub>, T<sub>11b</sub>は第1のトランジスタ、T<sub>12a</sub>, T<sub>12b</sub>は第2のトランジスタ、T<sub>13a</sub>, T<sub>13b</sub>は第3のトランジスタ、Q<sub>1a</sub>, Q<sub>1b</sub>は電流源用n-p-n形トランジスタ、R<sub>1a</sub>, R<sub>1b</sub>は電流源用抵抗素子をそれぞれ示している。

【0043】a段の定電流源I<sub>1a</sub>用トランジスタQ<sub>11a</sub>のコレクタはa段の第1のトランジスタT<sub>11a</sub>のエミッタと第2のトランジスタT<sub>12a</sub>のエミッタとの接続中点に接続されている。同様に、b段の定電流源I<sub>1b</sub>用トランジスタQ<sub>11b</sub>のコレクタはb段の第1のトランジスタT<sub>11b</sub>のエミッタと第2のトランジスタT<sub>12b</sub>のエミッタとの接続中点に接続されている。

【0044】さらに、a段において第1のトランジスタT<sub>11a</sub>のコレクタが第1の回路1aのトランジスタQ<sub>1a</sub>, Q<sub>2a</sub>のエミッタ同士の接続中点に接続され、第2のトランジスタT<sub>12a</sub>のコレクタが第2の回路2aのトランジスタQ<sub>3a</sub>, Q<sub>4a</sub>のエミッタ同士の接続中点に接続され、第3のトランジスタT<sub>13a</sub>のコレクタが第3の回路3aのトランジスタQ<sub>5a</sub>, Q<sub>6a</sub>のエミッタ同士の接続中点に接続されている。同様に、b段において第1のトランジスタT<sub>11b</sub>のコレクタが第1の回路1bのトランジスタQ<sub>1b</sub>, Q<sub>2b</sub>のエミッタ同士の接続中点に接続され、第2のトランジスタT<sub>12b</sub>のコレクタが第2の回路2bのトランジスタQ<sub>3b</sub>, Q<sub>4b</sub>のエミッタ同士の接続中点に接続され、第3のトランジスタT<sub>13b</sub>のコレクタが第3の回路3bのトランジスタQ<sub>5b</sub>, Q<sub>6b</sub>のエミッタ同

士の接続中点に接続されている。

【0045】このような構成においては、信号Dがa段およびb段の第3の回路3a, 3bのトランジスタQ<sub>5a</sub>, Q<sub>5b</sub>のベースに入力され、信号Dと相補的レベルをとる信号XDがトランジスタQ<sub>6a</sub>, Q<sub>6b</sub>のベースに入力される。また、クロック信号CKが第1の切替信号SW<sub>1</sub>としてa段の第2のトランジスタT<sub>12a</sub>のベースおよびb段の第1のトランジスタT<sub>11b</sub>のベースに入力されるとともに、クロック信号CKと相補的レベルをとる信号XCKが第1の切替信号SW<sub>1</sub>としてa段の第1のトランジスタT<sub>11a</sub>のベースおよびb段の第2のトランジスタT<sub>12b</sub>のベースに入力される。さらに、セット信号Sが第2の切替信号SW<sub>2</sub>として両段の第3のトランジスタT<sub>13a</sub>, T<sub>13b</sub>のベースに入力される。そして、b段の第1～第3の回路1b～3bを構成する各トランジスタQ<sub>1b</sub>～Q<sub>6b</sub>のコレクタから本フリップフロップの出力信号Q, XQが取出される。

【0046】たとえば、第2の切替信号としてのセット信号Sがハイレベルでa段およびb段の第3のトランジスタT<sub>13a</sub>, T<sub>13b</sub>のベースに入力された場合には、電流I<sub>1a</sub>, I<sub>1b</sub>が第3の回路3a, 3bに供給され、両回路3a, 3bが作動状態となる。これにより、入力信号D, XDはそのまま本回路から出力される。

【0047】これに対して、セット信号Sがローレベルで第3のトランジスタT<sub>13a</sub>, T<sub>13b</sub>のベースに入力され、この状態で、第1の切替信号としてのクロック信号CK, XCKがハイレベルまたはローレベルで第1および第2のトランジスタT<sub>11a</sub>, T<sub>12a</sub>およびT<sub>11b</sub>, T<sub>12b</sub>のベースに入力されると、電流I<sub>1a</sub>, I<sub>1b</sub>が第1の回路1a, 1bまたは第2の回路2a, 2bに供給され、回路1a, 1bまたは2a, 2bが作動状態となる。この場合は、クロック信号CK, XCKの入力レベルに応じて出力信号Q, XQのレベルが反転するT型フリップフロップとして機能する。

【0048】図4は、図3の回路に各信号を供給するための駆動回路例を示す回路図である。図4において、Q<sub>11a</sub>～Q<sub>13a</sub>はn-p-n形トランジスタ、R<sub>11</sub>～R<sub>13</sub>は抵抗素子をそれぞれ示している。

【0049】トランジスタQ<sub>11</sub>およびQ<sub>12</sub>のエミッタ同士が接続され、これらエミッタ同士の接続中点にトランジスタQ<sub>11</sub>のコレクタが接続され、トランジスタQ<sub>11</sub>のエミッタは抵抗素子R<sub>13</sub>を介して接地GNDに接続され、トランジスタQ<sub>11</sub>およびQ<sub>12</sub>のコレクタはそれぞれ抵抗素子R<sub>11</sub>, R<sub>12</sub>を介して電源電圧V<sub>cc</sub>に接続されている。トランジスタQ<sub>11</sub>のコレクタと抵抗素子R<sub>11</sub>との接続中点はトランジスタQ<sub>13</sub>のベースに接続されているとともに、第1の信号XOUT<sub>1</sub>の出力端に接続され、トランジスタQ<sub>12</sub>のコレクタと抵抗素子R<sub>12</sub>との接続中点はトランジスタQ<sub>13</sub>のベースに接続されているとともに、第1の信号OUT<sub>1</sub>の出力端に接続されている。

【0050】トランジスタQ<sub>13</sub>のコレクタは電源電圧V<sub>cc</sub>に接続され、エミッタは第2の信号XOUT<sub>2</sub>の出力端並びにトランジスタQ<sub>15</sub>のコレクタおよびベースに接続されている。トランジスタQ<sub>14</sub>のコレクタは電源電圧V<sub>cc</sub>に接続され、エミッタは第2の信号OUT<sub>2</sub>の出力端並びにトランジスタQ<sub>16</sub>のコレクタおよびベースに接続されている。したがって、第2の信号OUT<sub>2</sub>、 XOUT<sub>2</sub>のレベルは第1の信号OUT<sub>1</sub>、 XOUT<sub>1</sub>のレベルよりトランジスタQ<sub>14</sub>、 Q<sub>15</sub>の順方向電圧V<sub>f</sub>の分だけ低いレベルとなっている。

【0051】トランジスタQ<sub>15</sub>のエミッタは第3の信号XOUT<sub>3</sub>の出力端およびトランジスタQ<sub>18</sub>のコレクタに接続され、トランジスタQ<sub>18</sub>のエミッタは抵抗素子R<sub>14</sub>を介して接地GNDに接続されている。トランジスタQ<sub>16</sub>のエミッタは第3の信号OUT<sub>3</sub>の出力端およびトランジスタQ<sub>19</sub>のコレクタに接続され、トランジスタQ<sub>19</sub>のエミッタは抵抗素子R<sub>15</sub>を介して接地GNDに接続されている。また、トランジスタQ<sub>17</sub>～Q<sub>19</sub>のベースは電源V<sub>13</sub>に接続されている。したがって、第3の信号OUT<sub>3</sub>、 XOUT<sub>3</sub>のレベルは第2の信号OUT<sub>2</sub>、 XOUT<sub>2</sub>のレベルよりトランジスタQ<sub>16</sub>、 Q<sub>15</sub>の順方向電圧V<sub>f</sub>の分だけ低いレベルとなっている。

【0052】この駆動回路においては、駆動用入力信号INがトランジスタQ<sub>11</sub>のベースに入力され、信号INと相補的レベルをとる信号XINがトランジスタQ<sub>12</sub>のベースに入力され、トランジスタQ<sub>11</sub>、 Q<sub>12</sub>による差動出力が第1の信号OUT<sub>1</sub>およびXOUT<sub>1</sub>として出力されるとともに、トランジスタQ<sub>13</sub>、 Q<sub>14</sub>のベースに入力される。トランジスタQ<sub>11</sub>、 Q<sub>12</sub>による差動出力が入力されたトランジスタQ<sub>13</sub>、 Q<sub>14</sub>は差動的にオン/オフし、それらのエミッタ出力が第2の信号OUT<sub>2</sub>およびXOUT<sub>2</sub>として出力されるとともに、トランジスタQ<sub>15</sub>、 Q<sub>16</sub>のコレクタおよびベースにそれぞれ入力される。トランジスタQ<sub>15</sub>、 Q<sub>16</sub>はいわゆるダイオード接続されており、第2の信号OUT<sub>2</sub>およびXOUT<sub>2</sub>のレベルに応じてオン/オフし、それらのエミッタ出力が第3の信号OUT<sub>3</sub>およびXOUT<sub>3</sub>として出力される。

【0053】図3の回路のa段およびb段の第1～第3の回路1a～3a、 1b～3bを構成する各トランジスタQ<sub>11</sub>～Q<sub>14</sub>、 Q<sub>15</sub>～Q<sub>18</sub>のベース電圧のハイレベルは、たとえば2.7Vなどの低電源電圧下においても動作するようにほぼV<sub>cc</sub>に設定される。したがって、図4の駆動回路を用いて図3の回路を駆動させる場合には、信号Dとして図4の回路の第1の信号OUT<sub>1</sub>が用いられ、信号Dと相補的レベルをとる信号XDとして第1の信号XOUT<sub>1</sub>が用いられる。そして、第1～第3のトランジスタT<sub>r11</sub>、 T<sub>r21</sub>、 T<sub>r31</sub>、 T<sub>r12</sub>、 T<sub>r22</sub>、 T<sub>r32</sub>のベース電圧のハイレベルは図4の回路の第2の信号OUT<sub>2</sub>、 XOUT<sub>2</sub>が用いられる。具体的には、第1の切替信号SW<sub>1</sub>である信号CK、 XCKとして第50

2の信号OUT<sub>2</sub>が用いられ、第2の切替信号SW<sub>2</sub>である信号Sとして第2の信号XOUT<sub>2</sub>が用いられ、(V<sub>cc</sub>-V<sub>f</sub>)がハイレベルとなるように設定される。その結果、図3の回路においては、電流の供給ラインにおいてトランジスタの接続段数が最高3段となることから、(V<sub>cc</sub>=3V<sub>f</sub>)であっても動作可能となる。具体的に、V<sub>f</sub>=0.7Vとして考察すると、電源電圧V<sub>cc</sub>=2.7Vで充分に動作可能な回路を実現できることになる。

【0054】これに対して、図7に示す従来の回路の場合には、トランジスタT<sub>r1a</sub>、 T<sub>r2a</sub>、 T<sub>r3a</sub>、 T<sub>r4b</sub>のベースに入力させる第2の切替信号として図4の駆動回路の第3の信号OUT<sub>3</sub>、 XOUT<sub>3</sub>を用いる必要があり、(V<sub>cc</sub>=4V<sub>f</sub>)が実用の限界となる。

【0055】なお、図3の回路のa段のみを用い、第1の回路1aのトランジスタQ<sub>11</sub>、 Q<sub>21</sub>のベースに外部から所定レベルに信号を入力するように構成することにより、データ設定機能付きD型フリップフロップとして機能させることができる。

【0056】

【発明の効果】以上説明したように、本発明によれば、低電源電圧下においても充分に動作可能な回路を実現できる。

【図面の簡単な説明】

【図1】本発明に係る電流切替回路の一実施例を示す構成図である。

【図2】本発明に係る切替信号の設定レベル例を示す図である。

【図3】図1に示す本発明に係る電流切替回路を適用し、バイポーラディジタル集積回路として構成した一例を示す回路図である。

【図4】図3の回路に各信号を供給するための駆動回路例を示す回路図である。

【図5】従来の電流切替回路の一例を示す構成図である。

【図6】従来回路における切替信号の設定レベル例を示す図である。

【図7】図5に示す従来の電流切替回路を適用し、バイポーラディジタル集積回路として構成した一例を示す回路図である。

【図8】T型フリップフロップの構成例を示す図である。

【符号の説明】

1, 1a, 1b…第1の回路

2, 2a, 2b…第2の回路

3, 3a, 3b…第3の回路

T<sub>r1</sub>, T<sub>r1a</sub>, T<sub>r1b</sub>…第1のトランジスタ

T<sub>r2</sub>, T<sub>r2a</sub>, T<sub>r2b</sub>…第2のトランジスタ

T<sub>r3</sub>, T<sub>r3a</sub>, T<sub>r3b</sub>…第3のトランジスタ

I<sub>o</sub>, I<sub>o1</sub>, I<sub>o2</sub>…定電流源

(8)

特開平6-268496

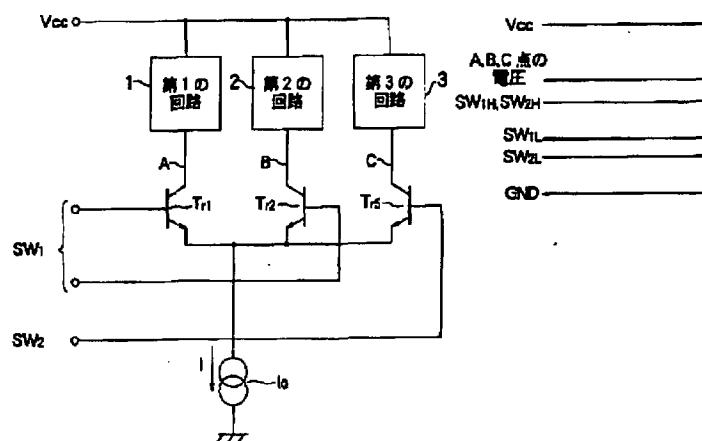
13

14

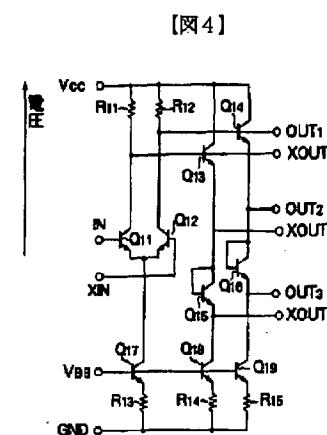
SW<sub>1</sub> … 第1の切替信号  
 SW<sub>2</sub> … 第2の切替信号  
 Q<sub>11</sub>~Q<sub>6a</sub>, Q<sub>1b</sub>~Q<sub>6b</sub>, Q<sub>1a</sub>, Q<sub>1b</sub>, Q<sub>11</sub>~Q<sub>19</sub>…n

p-n型トランジスタ  
 R<sub>11</sub>, R<sub>2a</sub>, R<sub>1b</sub>, R<sub>2b</sub>, R<sub>1a</sub>, R<sub>1b</sub>, R<sub>11</sub>~R<sub>14</sub>…抵  
 抗素子

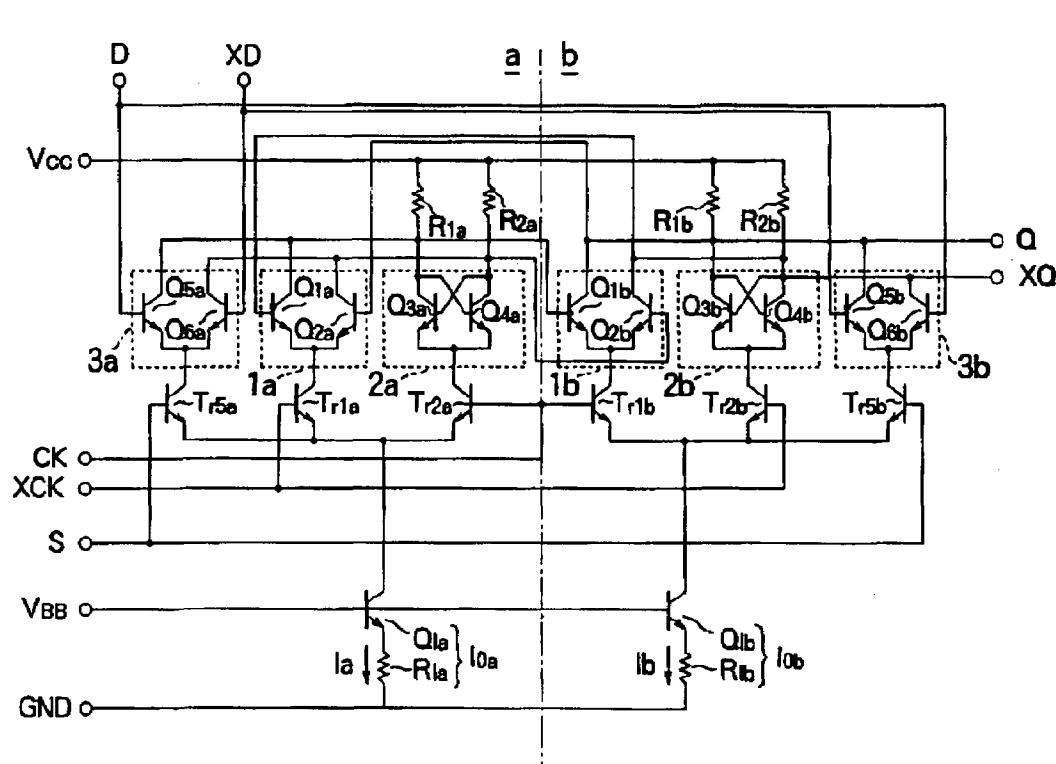
[図1]



[図2]



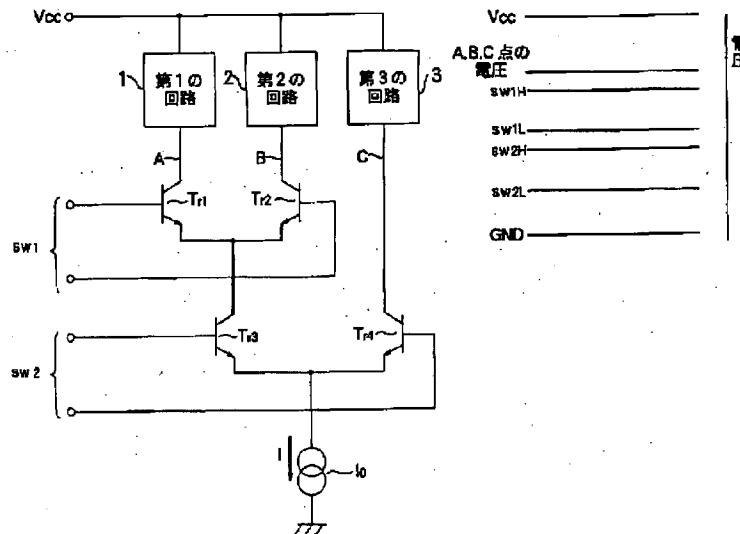
[図4]



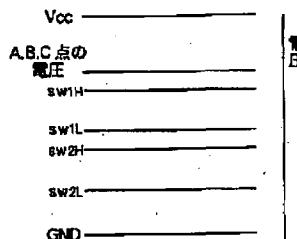
(9)

特開平6-268496

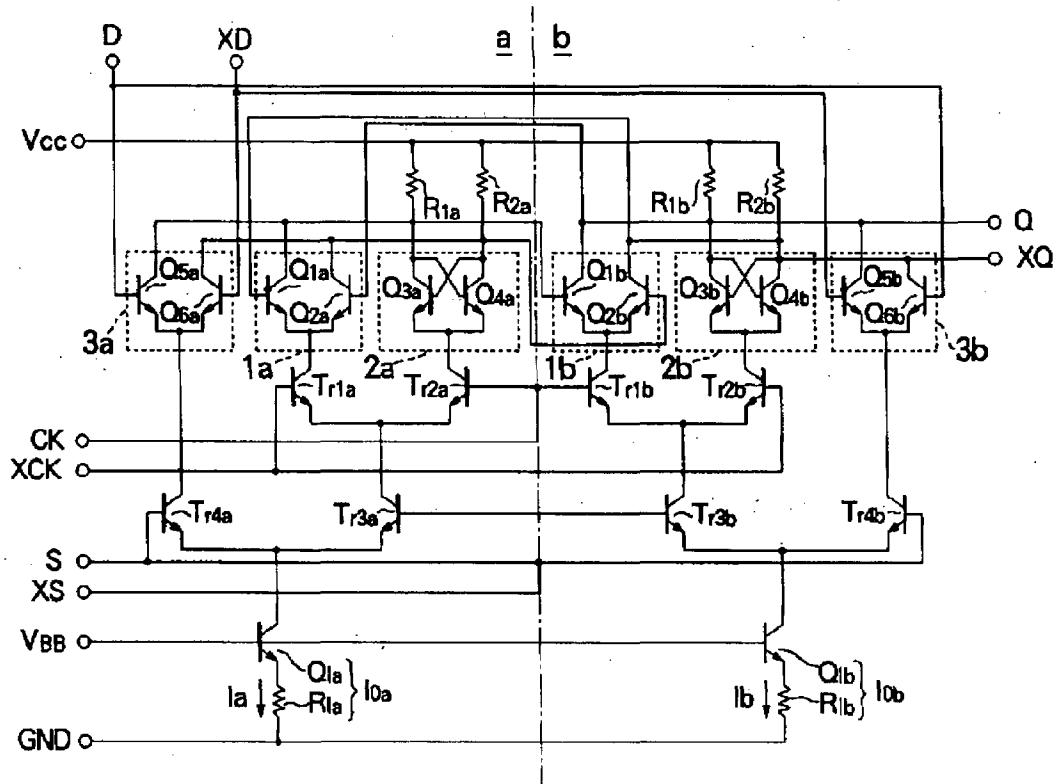
【図5】



【図6】



【図7】



(10)

特開平6-268496

【図8】

